

日本国特許庁
JAPAN PATENT OFFICE

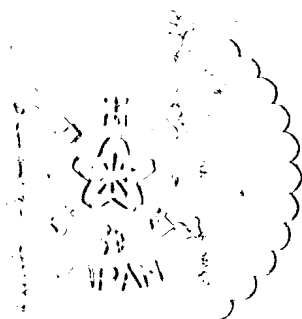
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月8日
Date of Application:

出願番号 特願2002-325527
Application Number:
[ST. 10/C]: [JP 2002-325527]

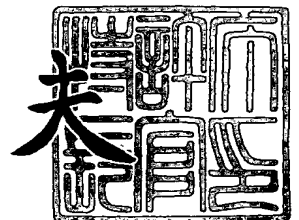
出願人 シャープ株式会社
Applicant(s):



2003年8月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3066188

【書類名】 特許願

【整理番号】 02J04030

【提出日】 平成14年11月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/21

【発明の名称】 不揮発可変抵抗素子、記憶装置および不揮発可変抵抗素子のスケーリング方法

【請求項の数】 14

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 田尻 雅之

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【代表者】 町田 勝彦

【代理人】

 【識別番号】 100078868

 【弁理士】

 【氏名又は名称】 河野 登夫

 【電話番号】 06-6944-4141

【選任した代理人】

 【識別番号】 100114557

 【弁理士】

 【氏名又は名称】 河野 英仁

 【電話番号】 06-6944-4141

【手数料の表示】

 【予納台帳番号】 001889

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発可変抵抗素子、記憶装置および不揮発可変抵抗素子のスケーリング方法

【特許請求の範囲】

【請求項 1】 対向して基板上に形成された第 1 電極および第 2 電極と、第 1 電極および第 2 電極の間に形成された不揮発可変抵抗体とを備える不揮発可変抵抗素子において、

第 1 電極および第 2 電極は、前記基板の面方向において対向していることを特徴とする不揮発可変抵抗素子。

【請求項 2】 前記不揮発可変抵抗体は第 1 電極の外周に形成され、第 2 電極は不揮発可変抵抗体の外周に形成されていることを特徴とする請求項 1 記載の不揮発可変抵抗素子。

【請求項 3】 前記第 1 電極は円柱状または角柱状であることを特徴とする請求項 1 または 2 記載の不揮発可変抵抗素子。

【請求項 4】 前記不揮発可変抵抗体はペロブスカイト構造のマンガン酸化物であることを特徴とする請求項 1 ないし 3 のいずれかに記載の不揮発可変抵抗素子。

【請求項 5】 前記マンガン酸化物は、 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{1-x}\text{Ca}_x\text{MnO}_3$ 、または $\text{La}_{1-x-y}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ のいずれかであることを特徴とする請求項 4 記載の不揮発可変抵抗素子。

【請求項 6】 前記マンガン酸化物は、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、または $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ のいずれかであることを特徴とする請求項 4 または 5 記載の不揮発可変抵抗素子。

【請求項 7】 請求項 1 ないし 6 のいずれかに記載の前記不揮発可変抵抗素子および該不揮発可変抵抗素子に接続されて不揮発可変抵抗素子の選択を行う選択素子をメモリセルとしてマトリックス状に配置したことを特徴とする記憶装置。

【請求項 8】 前記選択素子は、前記不揮発可変抵抗素子のいずれかを選択して不揮発可変抵抗素子に印加する電流を制御することを特徴とする請求項 7 記

載の記憶装置。

【請求項 9】 前記選択素子は、前記基板に形成されたトランジスタ、またはダイオードであることを特徴とする請求項 7 または 8 記載の記憶装置。

【請求項 10】 前記トランジスタは、MOS トランジスタであり、該 MOS トランジスタのドレインは前記第 1 電極に接続されていることを特徴とする請求項 9 記載の記憶装置。

【請求項 11】 前記ダイオードのカソードは前記第 1 電極に接続されていることを特徴とする請求項 9 記載の記憶装置。

【請求項 12】 前記メモリセルは、前記選択素子に接続されたワード線および前記不揮発可変抵抗素子に接続されたビット線を有し、前記第 2 電極は前記ビット線に接続されていることを特徴とする請求項 7 ないし 11 のいずれかに記載の記憶装置。

【請求項 13】 基板上に形成され基板の面方向において対向する第 1 電極および第 2 電極と、第 1 電極および第 2 電極の間に形成された不揮発可変抵抗体とを備える不揮発可変抵抗素子のスケーリング方法であって、

前記第 1 電極の平面寸法に縮小スケーリングを施し、第 1 電極の高さ寸法に拡大スケーリングを施すことを特徴とする不揮発可変抵抗素子のスケーリング方法。

【請求項 14】 前記縮小スケーリングは $1/k$ ($k > 1$) 倍として施され、前記拡大スケーリングは k 倍として施されることを特徴とする請求項 13 記載の不揮発可変抵抗素子のスケーリング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源を切った場合にもデータが保持される不揮発可変抵抗素子、該不揮発可変抵抗素子を用いた記憶装置、不揮発可変抵抗素子のスケーリング方法に関する。

【0002】

【従来の技術】

現在研究が進められている不揮発性メモリの中でも、MRAM (Magnetoresistive Random Access Memory) や OUM (Ovonic Universal Memory) のように抵抗値 (以下、単に「抵抗」とする場合もある) の違いを電流で読み取る不揮発可変抵抗素子を用いた記憶装置は、その高い書き換え耐性と高速動作により注目を集めている。また、これらのメモリは DRAM、フラッシュ・メモリ、FeRAM (Ferroelectric Random Access Memory) にあるような微細加工上の統計物理学的な限界が存在しないという利点がある。

【0003】

図7は従来の不揮発可変抵抗素子を用いた記憶装置の概要を示す説明図である。このような不揮発可変抵抗素子 R_v は、例えば、特許文献1に開示されている。1は第1電極であり、第1電極1の上部には不揮発可変抵抗体2が膜状に形成され、不揮発可変抵抗体2の上部には第2電極3が形成され不揮発可変抵抗素子 R_v を構成している。不揮発可変抵抗素子 R_v は絶縁性を有する基板9の表面に形成される。このような構造の不揮発可変抵抗素子 R_v の第1電極1と第2電極3との間にパルス電源 V_p を印加することにより、常温においても動作が可能な記憶素子 (記憶装置) となる。不揮発可変抵抗体2としては、ペロブスカイト構造のマンガン酸化物、例えば、 $Pr_{0.7}Ca_{0.3}MnO_3$ が知られている。不揮発可変抵抗体2は印加されるパルス電圧により抵抗値を変化させるが、電源を切った場合にもその抵抗値を保持するという不揮発性を有する。多くの不揮発可変抵抗素子 R_v をマトリックス状に配置すれば、基板9に記憶装置を形成することができる。

【0004】

図8は図7の記憶装置において電圧パルスの印加に対する抵抗値の変化状況を示すグラフである。横軸は印加パルス数 (印加パルスコード)、縦軸は抵抗値 (Ω)、印加パルスの電圧は2.9V、パルス幅17ns (ナノ秒)、パルス極性を正負 (+-) で示す。例えば、1個目のパルス (印加パルスコード1) は負であり、1個目のパルスを印加した後の抵抗値は 10^4 から 10^6 へ変化 (増加) している。2個目のパルス (印加パルスコード2) は正であり、2個目のパルスを印加した後の抵抗値は 10^6 から 10^4 へ変化 (減少) して

いる。この抵抗の違い（変化）を、例えば、論理信号 1、0 に対応させて論理信号として記憶させることができる。また、電源を切ったときにも抵抗値は保持されるので不揮発性の記憶装置として用いることができる。

【0005】

図 9、図 10 は従来の不揮発可変抵抗素子を用いた記憶装置におけるメモリセルの例を示す回路図である。図 9 はマトリックス状に配置された不揮発可変抵抗素子 R_v の選択を行う選択素子としてトランジスタを用いたメモリセル（以下、1T1R 型メモリセル）であり、ここで、トランジスタは MOS トランジスタ 5 により構成されている。メモリセルは MOS トランジスタ 5 および不揮発可変抵抗素子 R_v により構成されている。図 10 はマトリックス状に配置された不揮発可変抵抗素子 R_v の選択を行う選択素子としてダイオードを用いたメモリセル（以下、1D1R 型メモリセル）である。メモリセルはダイオード 6 および不揮発可変抵抗素子 R_v により構成されている。

【0006】

1T1R 型メモリセルにおいて、MOS トランジスタ 5 はゲート電極、ソース（ソース領域）、ドレイン（ドレイン領域）を有している。ゲート電極は記憶装置のワード線 WL に、ソースはソース線 SL に、ドレインは不揮発可変抵抗 R_v の一端にそれぞれ接続されている。不揮発可変抵抗素子 R_v の他端子はビット線 BL に接続されている。図 10 の 1D1R 型メモリセルにおいて、ダイオード 6 のアノードはワード線 WL に、カソードはビット線 BL に接続されている。

【0007】

1T1R 型メモリセルにおいて、書き換え（ライトまたはリセット）をする場合には、まず、選択対象のメモリセル（以下、選択セル）のゲート電極につながるワード線 WL の電位を上げて MOS トランジスタ 5 をオンする。次に、選択セルのビット線 BL とソース線 SL との間に電位差（電圧）を与えることにより不揮発可変抵抗素子 R_v の第 1 電極 1 と第 2 電極 3 との間に適切な電圧を印加して、不揮発可変抵抗素子 2 の抵抗を変化させる。ここで、例えば、抵抗を上げるための動作をライト、抵抗を下げるための動作をリセットと定義する（以下同様）。ライト時には、ビット線 BL に正の電圧パルスを印加し、ソース線 SL を接地電

位にする。また、リセット時には、ビット線BLを接地電位にし、ソース線SLに正の電圧パルスを印加する。つまりライト時とリセット時とにおいて、不揮発可変抵抗体2に反対のパルス（正負が逆のパルス）が加わることになるから、抵抗を変化させることができる。

【0008】

1T1R型メモリセルにおける他の書き換え方法として、次の方法もある。すなわち、ライト時には、上述のライト時と同様にして、ビット線BLに正の電圧パルスを印加し、ソース線SLを接地電位にする。また、リセット時には、ビット線BLを接地電位にし、ソース線SLに印加する正の電圧パルスの電圧（振幅）をライト時より小さくし、パルス幅をライト時より長くする。

【0009】

1T1R型メモリセルにおいて、読み出しをする場合の方法は、基本的には書き換えをする場合と同様であるが、ビット線BLまたはソース線SLに印加する正の電圧を小さくし、読み出し破壊を防止する。

【0010】

1D1R型メモリセルにおいて、書き換えをする場合には、先ず、選択セルのワード線WLの電位を上げ、ビット線BLを接地電位にする。このとき、選択セル以外のメモリセル（以下、非選択セル）においては、ワード線WLを接地電位とし、ビット線BLの電位を正電位とすることにより、ダイオード6の整流作用が働き、非選択セルには電圧は印加されない。リセット時の電圧パルスの電圧（振幅）は、ライト時の電圧パルスの電圧より小さくし、さらに、パルス幅をライト時より長くする。

【0011】

1D1R型メモリセルにおいて、読み出しをする場合の方法は、基本的には書き換えをする場合と同様であるが、ビット線BL（または、ソース線SL）に印加する電圧を低くし、読み出し破壊を防止する。

【0012】

図11は従来の1T1R型メモリセルの断面模式図である。なお、断面を示す斜線は省略する（以下においても同様）。単結晶シリコン等により構成される基

板10に、MOSトランジスタ5のドレイン（ドレイン領域）5dおよびソース（ソース領域）5sが形成される。基板10の表面に形成された絶縁層11には、ドレイン5dおよびソース5sに対応する位置にゲート電極5gが形成される。ドレイン5dは、絶縁層11を貫通するプラグ7を介して絶縁層11の表面に形成された不揮発可変抵抗素子Rvの第1電極1に接続される。第1電極1の上にはさらに、不揮発可変抵抗体2、第2電極3が順次積層して形成され、不揮発可変抵抗素子Rvを構成する。つまり、不揮発可変抵抗素子Rvの第1電極1と第2電極3とは基板10の表面と交差する方向において対向する構成とされている。不揮発可変抵抗素子Rvは絶縁層11の上に積層して形成され表面を平坦化する絶縁層12により保護されている。絶縁層11の表面にはビット線BLが形成され、第2電極3はビット線BLに接続される。なお、ゲート電極5gは延在してワード線WLに、ソース5sは延在してソース線SLに、それぞれ接続される。

【0013】

図12は従来の1D1R型メモリセルの断面模式図である。図11と同様な部分については同一符号を付して、説明は省略する。なお、基板10は省略している。ワード線WLと第1電極1との間に半導体PN接合により構成されるダイオード6が形成され、ダイオード6のアノード6pはワード線WLに、カソード6nは第1電極1に接続される。図11の場合と同様にして、第1電極1の上に、不揮発可変抵抗体2、第2電極3が順次積層して形成され、不揮発可変抵抗素子Rvを構成する。つまり、不揮発可変抵抗素子Rvの第1電極1と第2電極3とは基板10の表面と交差する方向において対向する構成とされている。

【0014】

【特許文献1】

米国特許第6204139B1号明細書

【0015】

【発明が解決しようとする課題】

記憶装置、特に、メモリセルを多数マトリックス状に配置した半導体記憶装置（メモリチップ）においては、スケーリング則に従いメモリセルにスケーリング

(寸法の比例縮小)を施し、メモリセルの平面上の面積を縮小して高集積化することにより大容量化(記憶容量の増加)を図っている。スケーリングという表現は一般的に寸法の比例縮小を意味することが多いが、寸法を比例拡大する場合に用いること(実施の形態3参照)もある。両者の違いを示す必要があるときは縮小スケーリング、拡大スケーリングと表現する。

【0016】

不揮発可変抵抗素子 R_v を用いた記憶装置においても、大容量化が求められていることから、スケーリングによるメモリセルの平面上の面積(特に、不揮発可変抵抗体の平面上の面積)を縮小することが検討されている。しかし、従来の不揮発可変抵抗素子の構造においては、スケーリングにより不揮発可変抵抗体(第1電極、第2電極)の平面上の面積を縮小すると、それに反比例して抵抗が増加することから、以下に述べるように、メモリセルにおける時定数($\tau = CR$)が大きくなり、動作が遅くなるという問題がある。

【0017】

図13は従来の不揮発可変抵抗素子におけるスケーリング状況を示す説明図である。同図(a)はスケーリング前の不揮発可変抵抗素子 R_v の斜視図、同図(b)は(a)における不揮発可変抵抗素子 R_v に対して $1/k$ ($k > 1$)倍のスケーリングを施したスケーリング後の不揮発可変抵抗素子 R_v の斜視図である。簡単のために第1電極1、不揮発可変抵抗体2、第2電極3は面積を同一の矩形として示す。スケーリング前においては、短辺の長さは a 、長辺の長さは b であり、スケーリング後においては、短辺の長さは a/k 、長辺の長さは b/k である。なお、不揮発可変抵抗体2の膜厚については、スケーリングを適用する場合には t/k 、スケーリングを適用しない場合には t となる。

【0018】

スケーリング前において、第1電極1と第2電極3とが対向する表面積 S_o は ab (短辺の長さ $a \times$ 長辺の長さ b)である。スケーリング後において、第1電極1と第2電極3とが対向する表面積 S_s は ab/k^2 (短辺の長さ $a/k \times$ 長辺の長さ b/k)である。スケーリング前の抵抗 R_o は不揮発可変抵抗体2の抵抗率を ρ とすれば等価的に $R_o = \rho t / ab$ となる。スケーリング後の抵抗 R_s

も同様に計算できる。つまり、膜厚 t についてスケーリングを適用しない場合には、 $R_s = \rho t k^2 / ab = k^2 R_o$ となり、スケーリングにより抵抗はスケーリング前の k^2 倍に増加することになる。また、膜厚 t についてスケーリングを適用する場合には、 $R_s = \rho t k / ab = k R_o$ となり、スケーリングにより抵抗はスケーリング前の k 倍に増加することになる。不揮発可変抵抗素子 2 の膜厚 t について、スケーリングを適用する場合、適用しない場合、いずれの場合にも、不揮発可変抵抗素子 R_v における抵抗の増加は避けられない。

【0019】

図 14 は不揮発可変抵抗素子の抵抗の増加に伴う特性の低下を説明するグラフである。同図 (a) は一辺の長さ a (μm) の正方形をなして対向する第 1 電極 1 および第 2 電極 3 を有する不揮発可変抵抗素子 R_v のスケーリングに伴う抵抗の変化 (増加) を示す。同図 (b) は抵抗の増加による時定数 τ の変化をパラメータとして、各時定数 τ におけるビット線 BL の電位の変化状況を示す。

【0020】

同図 (a) において、横軸は正方形の一辺の長さ a (μm) を、縦軸は各寸法における抵抗値を相対値として示す。抵抗値は、長さ $a = 1$ (μm) の場合 (横軸 1) を 100 として規格化して示す。例えば、 $k = 5$ として、 $a = 0.2$ (μm) に縮小した場合 (横軸 0.2)、膜厚 t についてスケーリングを適用しないときは、上述した計算式に従い、抵抗値は k^2 倍 (25 倍)、つまり 2500 となる。

【0021】

同図 (b) において、横軸は時間 (μs) を、縦軸はビット線 BL の電位の飽和値を 100 として相対的な電位を示す。曲線 T_1 の時定数 τ は 10 (μs)、曲線 T_2 の時定数 τ は 1 (μs)、曲線 T_3 の時定数 τ は 100 (ns)、曲線 T_4 の時定数 τ は 10 (ns) である。例えば、曲線 T_3 の場合に抵抗が 100 であるとし、抵抗を 25 倍 (つまり抵抗を 2500) とした場合に、単純に計算して時定数 τ ($=CR$) は 100 (ns) から 2500 (ns) $= 2.5$ (μs) へと増加する。つまり、曲線 T_3 であったビット線 BL の電位の変化は曲線 T_2 よりもさらに遅くなり、メモリセルの動作速度の低下となる。このように、従

来の不揮発可変抵抗素子 R_v においては、スケーリングによる抵抗の増加に伴い、動作速度、特に読み出し速度が低下するという問題がある。

【0022】

本発明は、斯かる問題に鑑みてなされたものであり、スケーリングを施して不揮発可変抵抗素子の平面上の面積を縮小した場合において、抵抗の増加を抑制できる構造の不揮発可変抵抗素子を提供することを目的とする。

【0023】

また、本発明は、不揮発可変抵抗素子をマトリックス状に配置してなる記憶装置において、スケーリングを施して不揮発可変抵抗素子の平面上の面積を縮小した場合に抵抗の増加を抑制できる構造の不揮発可変抵抗素子とすることにより、スケーリングを施しても動作速度の低下が生じない記憶装置を提供することを目的とする。

【0024】

また、本発明は、スケーリングを施して不揮発可変抵抗素子の平面上の面積を縮小した場合に、不揮発可変抵抗素子の抵抗の増加を防止できる不揮発可変抵抗素子のスケーリング方法を提供することを目的とする。

【0025】

【課題を解決するための手段】

本発明に係る不揮発可変抵抗素子は、対向して基板上に形成された第1電極および第2電極と、第1電極および第2電極の間に形成された不揮発可変抵抗体とを備える不揮発可変抵抗素子において、第1電極および第2電極は、前記基板の面方向において対向していることを特徴とする。

【0026】

本発明に係る不揮発可変抵抗素子において、前記不揮発可変抵抗体は第1電極の外周に形成され、第2電極は不揮発可変抵抗体の外周に形成されていることを特徴とする。

【0027】

本発明に係る不揮発可変抵抗素子において、前記第1電極は円柱状または角柱状であることを特徴とする。

【0028】

本発明に係る不揮発可変抵抗素子において、前記不揮発可変抵抗素子はペロブスカイト構造のマンガン酸化物であることを特徴とする。

【0029】

本発明に係る不揮発可変抵抗素子において、前記マンガン酸化物は、 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{1-x}\text{Ca}_x\text{MnO}_3$ 、または $\text{La}_{1-x-y}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ のいずれかであることを特徴とする。

【0030】

本発明に係る不揮発可変抵抗素子において、前記マンガン酸化物は、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、または $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ のいずれかであることを特徴とする。

【0031】

本発明に係る記憶装置は、前記不揮発可変抵抗素子および該不揮発可変抵抗素子に接続されて不揮発可変抵抗素子の選択を行う選択素子をメモリセルとしてマトリックス状に配置したことを特徴とする。

【0032】

本発明に係る記憶装置において、前記選択素子は、前記不揮発可変抵抗素子のいずれかを選択して不揮発可変抵抗素子に印加する電流を制御することを特徴とする。

【0033】

本発明に係る記憶装置において、前記選択素子は、前記基板に形成されたトランジスタ、またはダイオードであることを特徴とする。

【0034】

本発明に係る記憶装置において、前記トランジスタは、MOSトランジスタであり、該MOSトランジスタのドレインは前記第1電極に接続されていることを特徴とする。

【0035】

本発明に係る記憶装置において、前記ダイオードのカソードは前記第1電極に接続されていることを特徴とする。

【0036】

本発明に係る記憶装置において、前記メモリセルは、前記選択素子に接続されたワード線および前記不揮発可変抵抗素子に接続されたビット線を有し、前記第2電極は前記ビット線に接続されていることを特徴とする。

【0037】

本発明に係る不揮発可変抵抗素子のスケーリング方法は、基板上に形成され基板の面方向において対向する第1電極および第2電極と、第1電極および第2電極の間に形成された不揮発可変抵抗体とを備える不揮発抵抗素子のスケーリング方法であって、前記第1電極の平面寸法に縮小スケーリングを施し、第1電極の高さ寸法に拡大スケーリングを施すことを特徴とする。

【0038】

本発明に係る不揮発可変抵抗素子のスケーリング方法において、前記縮小スケーリングは $1/k$ ($k > 1$) 倍として施され、前記拡大スケーリングは k 倍として施されることを特徴とする。

【0039】

本発明にあつては、基板上に形成した不揮発可変抵抗素子の第1電極および第2電極を基板の面方向において対向するように形成することとしたので、不揮発可変抵抗素子にスケーリングを施して不揮発可変抵抗素子の平面上の面積を縮小した場合において、抵抗の増加を抑制した不揮発可変抵抗素子とすることができる。特に、第1電極の周囲に不揮発可変抵抗体を形成し、不揮発可変抵抗体の周囲に第2電極を形成するので、レイアウト等が容易になり、大容量の記憶装置に適した不揮発可変抵抗素子とすることができる。また、不揮発可変抵抗体进行ペロブスカイト構造のマンガン酸化物により構成することから、記憶装置に適した安定した抵抗変化を生じる不揮発可変抵抗素子とすることができる。

【0040】

本発明にあつては、第1電極および第2電極を基板の面方向において対向するように形成した不揮発可変抵抗素子によりメモリセルを構成することとしたので、不揮発可変抵抗素子にスケーリングを施してメモリセルの平面上の面積を縮小した場合において、不揮発可変抵抗素子の抵抗の増加を抑制でき、動作速度（ア

クセス時間)の低下が生じない記憶装置とすることが可能となる。特に、1T1R型メモリセルおよび1D1R型メモリセルにおける不揮発可変抵抗素子にスケーリングを施して平面上の面積を縮小する場合において、不揮発可変抵抗素子の抵抗の増加を抑制でき、動作速度(アクセス時間)の低下が生じない記憶装置とすることが可能となる。

【0041】

本発明にあつては、不揮発可変抵抗素子に縮小スケーリングを施して平面上の面積を縮小した場合において、高さ方向に拡大スケーリングを施すこととしたので、不揮発可変抵抗素子の抵抗の増加を抑制できる不揮発可変抵抗素子のスケーリング方法が可能となる。

【0042】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて説明する。

<実施の形態1>

図1は実施の形態1に係る不揮発可変抵抗素子におけるスケーリング状況を示す説明図である。同図(a)はスケーリングを施す前の不揮発可変抵抗素子 R_v の斜視図である。同図(b)は(a)における不揮発可変抵抗素子 R_v に対して $1/k$ ($k > 1$) 倍のスケーリングを施したスケーリング後の不揮発可変抵抗素子 R_v の斜視図である。(a)において、不揮発可変抵抗素子 R_v は、半径 r 、高さ h の円柱(円柱状)の第1電極1を内側電極として形成している。第1電極1の外周に円筒状の不揮発可変抵抗体2を膜厚 t で層状に形成し、さらに、不揮発可変抵抗体2の外周に第1電極1に対向させて半径 $r+t$ の円筒状の第2電極3を外側電極として形成している。(b)において、不揮発可変抵抗素子 R_v は、 $1/k$ ($k > 1$) 倍のスケーリングにより、第1電極1は半径 r/k 、高さ h (高さ方向はスケーリング非適用)となっている。また、不揮発可変抵抗体2は膜厚 t/k (膜厚 t へのスケーリング適用時)または t (膜厚 t へのスケーリング非適用時)となり、第2電極3は半径 $[(r+t)/k]$ (膜厚 t へのスケーリング適用時)または $[(r/k)+t]$ (膜厚 t へのスケーリング非適用時)の円筒状の第2電極3を外側電極となる。なお、以下の抵抗の計算において、不

揮発可変抵抗体 2 の抵抗率は ρ で近似する。

【0043】

同図 (a) において、第 1 電極 1 が不揮発可変抵抗体 2 に対向する側の表面積 S_o は $2\pi r h$ であり、膜厚 t であるから、第 1 電極 1 の表面積 S_o を用いてスケーリング前の抵抗 R_o を近似計算すれば、 $R_o = \rho t / 2\pi r h$ となる。また、スケーリング後の (b) において、第 1 電極 1 が不揮発可変抵抗体 2 に対向する側の表面積 S_s は $2\pi r h / k$ である。膜厚 t へのスケーリング非適用時におけるスケーリング後の抵抗 R_s は $\rho t / S_s = \rho t k / 2\pi r h = k R_o$ となる。したがって、 $1/k$ 倍のスケーリングを施した場合において、スケーリング後の抵抗 R_s とスケーリング前の抵抗 R_o の比 R_s / R_o は k となる。これは従来の不揮発可変抵抗素子 R_v のスケーリングにおいて、抵抗が k^2 倍に増加することと比較して k 倍の増加に留まっており、抵抗の増加を抑制できることを示している。また、膜厚 t へのスケーリング適用時における抵抗 R_s は $(\rho t / k) / S_s = \rho t / 2\pi r h = R_o$ となる。つまり、 $1/k$ 倍のスケーリングによる抵抗の増加比 R_s / R_o は 1 となり、抵抗の増加は生じない。これは従来の不揮発可変抵抗素子 R_v のスケーリングにおいて抵抗が k 倍に増加することと比較するまでも無く、抵抗の増加を抑制できることを示している。また、第 2 電極 3 が不揮発可変抵抗体 2 に対向する側の表面積も第 1 電極 1 の表面積 (S_o 、 S_s) と同様に縮小されるが、抵抗の算出は第 1 電極 1 の表面積を用いて近似するので、詳細な表面積の計算は省略する。

【0044】

不揮発可変抵抗素子 R_v は基板 (不図示) 上に形成され、第 1 電極 1 および第 2 電極 3 は、基板の面方向において対向するように形成される。上述したとおり、不揮発可変抵抗素子 R_v を 3 次元構造とすることにより、スケーリングを施して不揮発可変抵抗素子 R_v の平面上の面積を縮小した場合において、不揮発可変抵抗素子 R_v の抵抗の増加を抑制することができる。つまり、従来技術において生じていたスケーリングによる第 1 電極 1 の表面積の縮小に伴う抵抗の増加は生じない。なお、実施の形態 1 に係る不揮発可変抵抗素子 R_v を記憶装置 (メモリセル) に適用すれば、スケーリングによる動作速度の低下が生じない大容量の記

憶装置を実現できる。

【0045】

また、第1電極1を内側電極とし、第1電極1の外周（周囲）に不揮発可変抵抗体2を形成し、不揮発可変抵抗体2の外周（周囲）に第2電極3を外側電極として形成することにより、基板の表面上に占める面積を確実に低減できる。つまり、第1電極1の外周を不揮発可変抵抗体2により包囲し、不揮発可変抵抗体2の外周を第2電極3により包囲する構造とするので、第1電極1の平面上の面積の縮小がそのまま可変抵抗素子の面積の縮小となる。例えば、不揮発可変抵抗素子R_vの中心を占める第1電極1の表面上の面積は、スケーリング前においては πr^2 であるが、 $1/k$ 倍のスケーリングにより $\pi r^2/k^2$ に低減できる。また、第1電極1の周囲に不揮発可変抵抗体2を、不揮発可変抵抗体2の周囲に第2電極3を配置することにより、レイアウトが容易になり、製造過程においてマスクの位置合わせが容易になることから、さらに高密度のレイアウトが可能となる。また、第1電極1を円柱（円柱状）、第2電極を円筒（円筒状）としたが、第1電極1を角柱（角柱状）とすれば、さらにレイアウトが容易になり、高密度化が可能になる。なお、第1電極1の構造は円柱、角柱であればレイアウトが容易であり好ましいが、これに限るものではなく、これらに類似する立体形状（柱状）であれば良い。不揮発可変抵抗体2、第2電極3の形状は第1電極の形状に応じて適宜変更されることは言うまでも無い。

【0046】

なお、本発明においては、不揮発可変抵抗体2として、ペロブスカイト構造のマンガン酸化物を用いた。特に、マンガン酸化物としては、 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{1-x}\text{Ca}_x\text{MnO}_3$ 、または $\text{La}_{1-x-y}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ により表される物質がいずれも安定した良好な記憶特性（パルス印加に伴う抵抗変化の発生）を示した。さらに具体的には、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ が良好な記憶特性を示した。不揮発可変抵抗体2の成膜はスパッタリング法により行い、パターンニングはホトリソグラフィ技術を用いて行った。第1電極1、第2電極3の成膜はターゲットとしてプラチナまたはイリジウムを用いてスパッタリング法により行い、

パターンニングはホトリソグラフィ技術を用いて行った。第1電極1の半径 r は約 $0.1 \sim 0.3 \mu\text{m}$ 、高さ h は約 $0.5 \sim 1 \mu\text{m}$ とし、不揮発可変抵抗体2の膜厚は約 $100 \sim 300 \text{nm}$ として所望の抵抗値を得た。

【0047】

図2は実施の形態1に係る不揮発可変抵抗素子においてスケーリングによる抵抗の増加を抑制できることを示す説明図である。不揮発可変抵抗素子 R_v に対して $1/k$ ($k > 1$) 倍のスケーリングを施した場合を示す。スケーリングに際して不揮発可変抵抗体2の膜厚 t にはスケーリングを適用しない場合における抵抗の変化状況を示す。なお、スケーリングによる抵抗の変化を比較する為に従来構造の不揮発可変抵抗素子 R_v における抵抗の変化状況を併せて示す。基本的な計算方法（近似計算方法）は、図1において説明したとおりである。構造は第1電極1が円柱、角柱の場合を示し、これらにおいては簡単のために第1電極1、不揮発可変抵抗体2のみを示し、第2電極3は省略している。

【0048】

第1電極1が円柱の場合、スケーリング前において、半径は r 、高さは h とし、スケーリング後において、半径は r/k 、高さは h とする。また、第1電極1の周囲に円筒状に形成された不揮発可変抵抗体2の膜厚は t でスケーリング前後において同一とする。スケーリングによる抵抗の増加は図1において説明したとおりであり、スケーリング後の抵抗 R_s とスケーリング前の抵抗 R_o の比 R_s/R_o は k となる。これに対し、従来構造における R_s/R_o は k^2 （図13参照）である。つまり、円柱構造の不揮発可変抵抗素子 R_v は、スケーリング時の抵抗の増加を従来構造の場合に比較して $1/k$ に抑制できる。

【0049】

第1電極1が角柱の場合、スケーリング前において、辺の長さ（周囲長）は $2(a+b)$ 、高さは h とし、スケーリング後において、辺の長さ（周囲長）は $2(a+b)/k$ 、高さは h とする。また、第1電極1の周囲に枠状に形成された不揮発可変抵抗体2の膜厚は t でスケーリング前後において同一とする。したがって、スケーリング前において、第1電極1の表面積 S_o は $2(a+b)h$ であり、膜厚 t であるから、第1電極1の表面積 S_o を用いて抵抗 R_o を近似計算す

れば、 $R_o = \rho t / 2 (a + b) h$ となる。また、スケーリング後において、第1電極1の表面積 S_s は $2 (a + b) h / k$ であり、膜厚 t であるから、第1電極1の表面積 S_s を用いて抵抗 R_s を近似計算すれば、 $R_s = \rho t k / 2 (a + b) h = k R_o$ となる。したがって、スケーリングを施した場合において、スケーリング後の抵抗 R_s とスケーリング前の抵抗 R_o の比 R_s / R_o は k となる。これに対し、従来構造における R_s / R_o は上述のとおり k^2 である。つまり、角柱構造の不揮発可変抵抗素子 R_v は、円柱構造の不揮発可変抵抗素子 R_v と同様に、スケーリング時の抵抗の増加を従来構造の場合に比較して $1 / k$ に抑制できる。

【0050】

図3は実施の形態1に係る不揮発可変抵抗素子においてスケーリングによる抵抗の増加を抑制できることを示す説明図である。不揮発可変抵抗素子 R_v に対して $1 / k$ ($k > 1$) 倍のスケーリングを施した場合を示す。図3は、スケーリングに際して不揮発可変抵抗体2の膜厚 t にもスケーリングを適用する場合における抵抗の変化状況を示す。なお、スケーリングによる抵抗の変化を比較する為に従来構造の不揮発可変抵抗素子 R_v における抵抗の変化状況を併せて示す。基本的な計算方法（近似計算方法）は、図1において説明したとおりである。構造は第1電極1が円柱、角柱の場合を示し、これらにおいては簡単のために第1電極1、不揮発可変抵抗体2のみを示し、第2電極3は省略している。

【0051】

第1電極1が円柱の場合、図2の円柱の場合と同様、スケーリング前において、半径は r 、高さは h とし、スケーリング後において、半径は r / k 、高さは h とする。また、第1電極1の周囲に円筒状に形成された不揮発可変抵抗体2の膜厚は、スケーリング前において t とし、スケーリング後において t / k とする。抵抗の増加は図1において説明したとおりであり、スケーリング後の抵抗 R_s とスケーリング前の抵抗 R_o の比 R_s / R_o は1となりスケーリングによる抵抗の増加は生じない。これに対し、従来構造における R_s / R_o は k （図13参照）である。つまり、円柱構造の不揮発可変抵抗素子 R_v は、スケーリング時の抵抗の増加を従来構造の場合に比較して $1 / k$ に抑制できる。

【0052】

第1電極1が角柱の場合、図2の角柱の場合と同様、スケーリング前において、辺の長さ（周囲長）は $2(a+b)$ 、高さは h とし、スケーリング後において、辺の長さ（周囲長）は $2(a+b)/k$ 、高さは h とする。また、第1電極1の周囲に枠状に形成された不揮発可変抵抗体2の膜厚は、スケーリング前において t とし、スケーリング後において t/k とする。スケーリング前は、第1電極1の表面積 S_o は $2(a+b)h/k$ であり、膜厚 t であるから、第1電極1の表面積 S_o を用いて抵抗 R_o を近似計算すれば、図2の場合と同様、 $R_o = \rho t / 2(a+b)h$ となる。また、スケーリング後は、第1電極1の表面積 S_s は $2(a+b)h/k$ であり、膜厚 t/k であるから、第1電極1の表面積 S_s を用いて抵抗 R_s を近似計算すれば、 $R_s = (\rho t/k) / S_s = (\rho t/k) / [2(a+b)h/k] = \rho t / 2(a+b)h = R_o$ となる。したがって、スケーリングを施した場合において、スケーリング後の抵抗 R_s とスケーリング前の抵抗 R_o の比 R_s/R_o は1となりスケーリングによる抵抗の増加は生じない。これに対し、従来構造における R_s/R_o は上述のとおり k である。つまり、角柱構造の不揮発可変抵抗素子 R_v は、円柱構造の不揮発可変抵抗素子 R_v と同様に、スケーリング時の抵抗の増加を従来構造の場合に比較して $1/k$ に抑制できる。

【0053】

なお、膜厚 t についてもスケーリングを適用する図3の場合には、スケーリング後の膜厚 t/k が十分に厚く、薄膜化に伴う不揮発可変抵抗体2の膜質の劣化がなく、第1電極1と第2電極3との間において、短絡が生じる虞がないことが必要な条件となる。つまり、形成する不揮発可変抵抗体2の膜厚による特性を適宜評価して、スケーリング適用の可否を決定すれば良い。

【0054】

<実施の形態2>

図4は実施の形態2に係る記憶装置における1T1R型メモリセルの構造を説明する説明図である。不揮発可変抵抗素子 R_v の選択を行う選択素子としてトランジスタ（MOSトランジスタ5）を用いた1T1R型メモリセルを示す。同図

(a) は平面概略を示し、(b) は (a) の B-B 線における断面概略を示す。単結晶シリコン等により構成される基板 10 に、MOS トランジスタ 5 のドレイン 5 d およびソース 5 s が形成される。基板 10 の表面に形成された絶縁層 11 には、ドレイン 5 d およびソース 5 s に対応する位置にゲート電極 5 g が形成される。絶縁層 11 は例えばシリコン酸化膜により、ゲート電極 5 g は例えば多結晶シリコンまたは高融点金属等により構成される。ドレイン 5 d は、不揮発可変抵抗素子 R_v の第 1 電極 1 に接続される。第 1 電極 1 は絶縁層 11 の表面に円柱状の内側電極として形成される。絶縁層 11 の表面上において、第 1 電極 1 の外周に円筒状の不揮発可変抵抗体 2 を層状に形成し、さらに、不揮発可変抵抗体 2 の外周に第 1 電極 1 に対向させて円筒状の第 2 電極 3 を外側電極として形成する。絶縁層 11 の表面にはビット線 BL が形成され、第 2 電極 3 はビット線 BL に接続される。また、ゲート電極 5 g は延在してワード線 WL に、ソース 5 s は延在してソース線 SL に、それぞれ接続される。

【0055】

1T1R 型メモリセルは MOS トランジスタ 5 および不揮発可変抵抗素子 R_v によりメモリセルを構成され、回路構成は従来の回路構成 (図 9、図 11 参照) と同一である。また、MOS トランジスタ 5、不揮発可変抵抗素子 R_v は通常の半導体プロセスまたはその改良プロセスにより製造することができる。1T1R 型メモリセル (MOS トランジスタ 5 および不揮発可変抵抗素子 R_v) を基板 10 の上にマトリックス状に配置して本発明に係る記憶装置とする。1T1R 型メモリセルにスケーリングを施して不揮発可変抵抗素子 R_v の平面上の面積を縮小することにより、大容量化を図った場合において、不揮発可変抵抗素子 R_v の抵抗の増加を抑制できることから、動作速度 (アクセス時間) の低下が生じない大容量の記憶装置を実現できる。また、外側電極である第 2 電極 3 をビット線に接続することから、レイアウトが容易になりまた集積度を犠牲にすることがなく、大容量化が可能となる。

【0056】

書き換え (ライトまたはリセット) をする場合には、先ず、選択対象のメモリセル (以下、選択セル) のゲート電極 5 g につながるワード線 WL の電位を上げ

てMOSトランジスタ5をオンする。次に、選択セルのビット線BLとソース線SLとの間に電位差（電圧）を与えることにより不揮発可変抵抗素子Rvの第1電極1と第2電極3との間に適切な電圧を印加して、不揮発可変抵抗体2の抵抗を変化させる。例えば、ライト時には、ビット線BLに正の電圧パルス（例えば5V）を印加し、ソース線SLを接地電位（0V）にする。つまり、第1電極1の電位を0Vとし、第2電極3の電位を5Vとして不揮発可変抵抗体2の抵抗を上げる（ライト動作）ことができる。また、リセット時には、ビット線BLを接地電位（0V）にし、ソース線SLに正の電圧パルス（例えば5V）を印加する。つまりライト時とリセット時とにおいて、不揮発可変抵抗体2に反対のパルス（正負が逆のパルス）が加わることになるから、不揮発可変抵抗体2の抵抗を下げる（リセット動作）ことができる。なお、リセット時に、ライト時と同一極性（正）でライト時より小さい振幅（例えば2～3V）を有し、かつライト時より長いパルス幅を有する電圧パルスを印加した場合にも、同様にリセット動作を行うことができる。なお、印加する電圧パルスの大きさ（電圧値）は不揮発可変抵抗体2の形状（膜厚t）、材料等により適宜調整すべきものであり、通常は2～3V程度から5V程度以下が低消費電力の観点から好ましいが、これに限るものではない。

【0057】

読み出しをする場合の方法は、基本的には書き換えをする場合と同様であるが、ビット線BLまたはソース線SLに印加する正の電圧を小さくし（例えば1V）、読み出し破壊を防止する。

【0058】

図5は実施の形態2に係る記憶装置における1D1R型メモリセルの構造を説明する説明図である。不揮発可変抵抗素子Rvの選択を行う選択素子としてダイオード6を用いた1D1R型メモリセルを示す。同図（a）は平面概略を示し、（b）は（a）のB-B線における断面概略を示す。図4と同様な部分については同一符号を付して、説明は省略する。なお、基板10は図示を省略している。基板10の表面に形成された絶縁層11には、例えば多結晶シリコンにより構成されるワード線WLが形成され、ワード線WLの上に、半導体PN接合により構

成されるダイオード 6 が形成される。ダイオード 6 のアノード 6 p (P⁺) はワード線 WL に、カソード 6 n (N⁺) は第 1 電極 1 に接続される。第 1 電極 1 は絶縁層 11 の表面に円柱状の内側電極として形成される。絶縁層 11 の表面上において、第 1 電極 1 の外周に円筒状の不揮発可変抵抗体 2 を層状に形成し、さらに、不揮発可変抵抗体 2 の外周に第 1 電極 1 に対向させて円筒状の第 2 電極 3 を外側電極として形成する。絶縁層 11 の表面にはビット線 BL が形成され、第 2 電極 3 はビット線 BL に接続される。

【0059】

1D1R 型メモリセルはダイオード 6 および不揮発可変抵抗素子 R_v によりメモリセルを構成され、回路構成は従来の回路構成 (図 10、図 12 参照) と同一である。また、ダイオード 6、不揮発可変抵抗素子 R_v は通常の半導体プロセスまたはその改良プロセスにより製造することができる。1D1R 型メモリセル (ダイオード 6 および不揮発可変抵抗素子 R_v) を基板 10 の上にマトリックス状に配置して本発明に係る記憶装置とする。1D1R 型メモリセルにスケーリングを施して不揮発可変抵抗素子 R_v の平面上の面積を縮小することにより、大容量化を図った場合において、不揮発可変抵抗素子 R_v の抵抗の増加を抑制できることから、動作速度 (アクセス時間) の低下が生じない大容量の記憶装置を実現できる。また、外側電極である第 2 電極 3 をビット線に接続することから、レイアウトが容易になりまた集積度を犠牲にすることがなく、大容量化が可能となる。

【0060】

書き換え (ライトまたはリセット) をする場合には、選択セルにつながるワード線 WL の電位を上げ、選択セルのビット線 BL を接地電位とし、選択セルのワード線 WL とビット線 BL との間に電位差 (電圧) を与えることにより不揮発可変抵抗素子 R_v の第 1 電極 1 と第 2 電極 3 との間に適切な電圧を印加して、不揮発可変抵抗体 2 の抵抗を変化させる。例えば、ライト時には、ワード線 WL に正の電圧パルス (例えば 5 V) を印加し、ビット線 BL を接地電位 (0 V) にする。つまり、第 1 電極 1 の電位を 5 V とし、第 2 電極 3 の電位を 0 V として不揮発可変抵抗体 2 の抵抗を上げる (ライト動作) ことができる。なお、選択セル以外のメモリセル (以下、非選択セル) においては、ワード線 WL を接地電位とし、

ビット線BLの電位を正電位（選択セルのワード線WLに印加する電圧と同じ電位。例えば5V）とすることにより、ダイオード6の整流作用が働き、非選択セルには電圧は印加されない。また、リセット時には、ライト時と同一極性（正）でライト時より小さい振幅（例えば2～3V）を有し、かつライト時より長いパルス幅を有する電圧パルスを印加することにより不揮発可変抵抗体2の抵抗を下げる（リセット動作）ことができる。

【0061】

読み出しをする場合の方法は、基本的には書き換えをする場合と同様であるが、ビット線BL（またはソース線SL）に印加する正の電圧を小さくし（例えば1V）、読み出し破壊を防止する。

【0062】

<実施の形態3>

図6は実施の形態3に係る不揮発可変抵抗素子のスケーリング方法を説明する説明図である。同図（a）はスケーリングを施す前の不揮発可変抵抗素子R_v（円柱構造）の平面図であり、（b）は（a）の半径方向における断面図である。同図（c）は（a）における不揮発可変抵抗素子R_vに対して1/k（k>1）倍のスケーリングを施した後の不揮発可変抵抗素子R_vの平面図であり、（d）は（c）の半径方向における断面図である。実施の形態1、2の場合と同様に、第1電極1が円柱（円柱状）として形成され、第1電極1の外周に円筒状の不揮発可変抵抗体2が形成され、さらに、不揮発可変抵抗体2の外周に第1電極1に対向させて円筒状の第2電極3が外側電極として形成されている。なお、実施の形態3においては、高さ方向にはk倍のスケーリング（つまり、平面に対する通常の縮小スケーリングに対して、高さに対する拡大スケーリング）を施している。

【0063】

同図（a）（b）において、第1電極1の半径をrとすれば、円周は $2\pi r$ 、高さはhであるから、第1電極1が不揮発可変抵抗体2に対向する側の表面積S_oは $2\pi r h$ となる。不揮発可変抵抗体2の膜厚をtとして、第1電極1の表面積S_oを用いてスケーリング前の抵抗R_oを近似計算すれば、 $R_o = \rho t / 2\pi$

$r h$ となる。他方、同図(c)(d)において、第1電極1が不揮発可変抵抗体2に対向する側の表面積 S_s は $(2\pi r/k) \times (hk) = 2\pi r h$ となり、表面積 S_s の面積はスケーリング後においても変化は生じない。つまり、従来技術において生じていたスケーリングによる第1電極1の表面積の低下は生じない。

【0064】

不揮発可変抵抗体2の膜厚 t について同様にスケーリングを適用した場合の膜厚は t/k となるから、第1電極1の表面積 S_s を用いてスケーリング後の抵抗 R_s を近似計算すれば、 $R_s = (\rho t/k) / S_s = (\rho t/k) / 2\pi r h = \rho t / 2\pi r h k = R_o / k$ となる。つまり、スケーリング後の抵抗 R_s とスケーリング前の抵抗 R_o の比 R_s / R_o は $1/k$ となり、スケーリングによる抵抗の増加を防止できるだけでなく抵抗を低減することができる。また、不揮発可変抵抗体2の膜厚 t についてスケーリングを適用しない場合の膜厚は t のままとなるから、第1電極1の表面積 S_s を用いてスケーリング後の抵抗 R_s を近似計算すれば、 $R_s = \rho t / 2\pi r h = \rho t / 2\pi r h = R_o$ となる。つまり、スケーリング後の抵抗 R_s とスケーリング前の抵抗 R_o の比 R_s / R_o は1となり、実施の形態1(図3)の場合と同様、スケーリングによる抵抗の増加を防止できる。

【0065】

なお、第1電極1の平面寸法に $1/k$ ($k > 1$) 倍の縮小スケーリングを施し、第1電極の高さ寸法に k ($k > 1$) 倍の拡大スケーリングを施したが、スケーリング定数(平面寸法に対する縮小スケーリング時の $1/k$ と高さ寸法に対する拡大スケーリング時の k)は、逆数にする必要は無く、適宜異なる値にしても良いことは言うまでも無い。例えば縮小スケーリングにおいては $1/2$ ($k=2$) 倍とし、拡大スケーリングにおいては 1.5 ($k=1.5$) 倍または 2.5 ($k=2.5$) 倍のようにすることも可能である。

【0066】

実施の形態3に係る不揮発可変抵抗素子のスケーリング方法によれば第1電極1の平面上の面積を縮小させた場合において、第1電極1の表面積 S_s の増加を防止できることから、不揮発可変抵抗素子 R_v の抵抗の増加を防止、または抵抗

を低減できるスケーリングが可能となる。つまり、従来技術において生じていたスケーリングによる第1電極1の表面積の縮小に伴う抵抗の増加は生じない。したがって、実施の形態3に係る不揮発可変抵抗素子のスケーリング方法を実施の形態2の記憶装置（メモリセル）に適用すれば、動作速度の低下が生じない大容量の記憶装置を実現できる。

【0067】

【発明の効果】

以上に詳述した如く、本発明にあっては、スケーリングを施して不揮発可変抵抗素子の平面上の面積を縮小した場合において、スケーリングによる抵抗の増加を抑制した不揮発可変抵抗素子を実現できる。

【0068】

本発明にあっては、メモリセルを構成する不揮発可変抵抗素子にスケーリングを施してメモリセルの平面上の面積を縮小した場合において、不揮発可変抵抗素子のスケーリングによる抵抗の増加を抑制できることから、動作速度（アクセス時間）の低下が生じない大容量の記憶装置を実現できる。

【0069】

本発明にあっては、不揮発可変抵抗素子に縮小スケーリングを施して平面上の面積を縮小した場合において、高さ方向に拡大スケーリングを施すことによりスケーリングによる抵抗の増加を抑制できる不揮発可変抵抗素子のスケーリング方法を実現できる。

【図面の簡単な説明】

【図1】

実施の形態1に係る不揮発可変抵抗素子におけるスケーリング状況を示す説明図である。

【図2】

実施の形態1に係る不揮発可変抵抗素子においてスケーリングによる抵抗の増加を抑制できることを示す説明図である。

【図3】

実施の形態1に係る不揮発可変抵抗素子においてスケーリングによる抵抗の増

加を抑制できることを示す説明図である。

【図 4】

実施の形態 2 に係る記憶装置における 1 T 1 R 型メモリセルの構造を説明する説明図である。

【図 5】

実施の形態 2 に係る記憶装置における 1 D 1 R 型メモリセルの構造を説明する説明図である。

【図 6】

実施の形態 3 に係る不揮発可変抵抗素子のスケーリング方法を説明する説明図である。

【図 7】

従来の不揮発可変抵抗素子を用いた記憶装置の概要を示す説明図である。

【図 8】

図 7 の記憶装置において電圧パルスの印加に対する抵抗値の変化状況を示すグラフである。

【図 9】

従来の不揮発可変抵抗素子を用いた記憶装置におけるメモリセルの例を示す回路図である。

【図 10】

従来の不揮発可変抵抗素子を用いた記憶装置におけるメモリセルの例を示す回路図である。

【図 11】

従来の 1 T 1 R 型メモリセルの断面模式図である。

【図 12】

従来の 1 D 1 R 型メモリセルの断面模式図である。

【図 13】

従来の不揮発可変抵抗素子におけるスケーリング状況を示す説明図である。

【図 14】

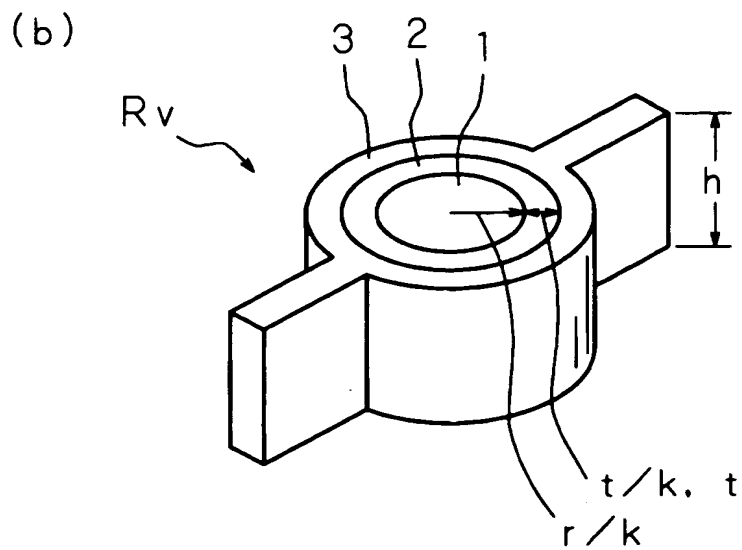
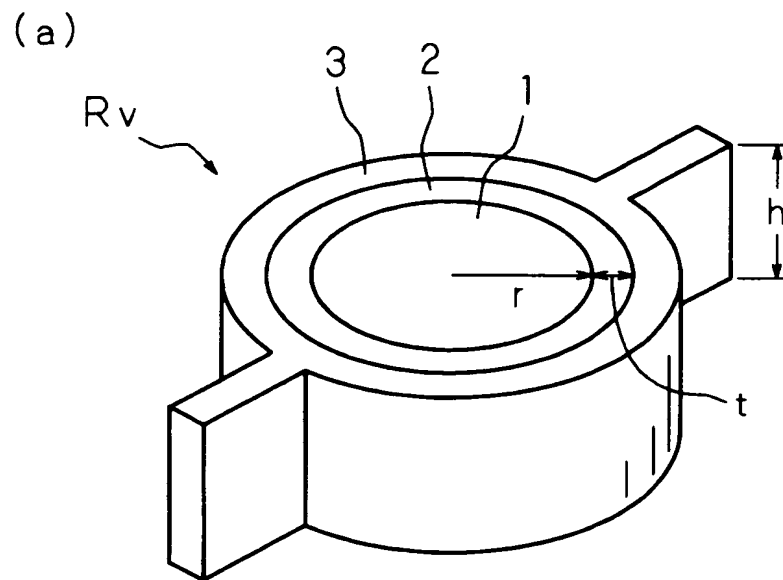
不揮発可変抵抗素子の抵抗の増加に伴う特性の低下を説明するグラフである。

【符号の説明】

- 1 第 1 電極
- 2 不揮発可変抵抗体
- 3 第 2 電極
- 5 MOS トランジスタ
- 5 d ドレイン
- 5 g ゲート電極
- 5 s ソース
- 6 ダイオード
- 6 n カソード
- 6 p アノード
- 1 0 基板
- 1 1 絶縁層
- R v 不揮発可変抵抗素子
- B L ビット線
- S L ソース線
- W L ワード線

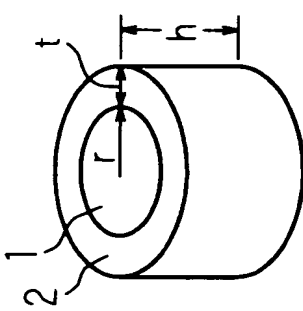
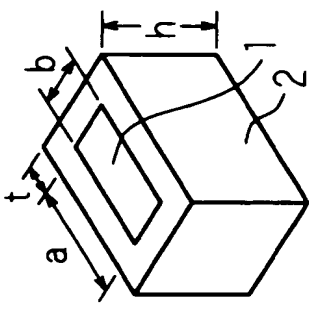
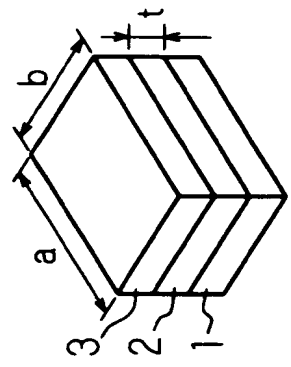
【書類名】 図面

【図 1】



【図2】

(t : スケーリング非適用)

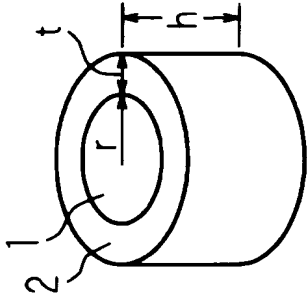
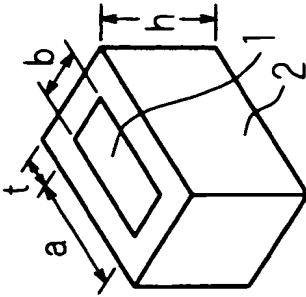
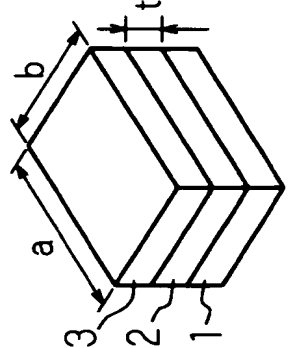
構造	スケーリング前 面積, 抵抗	スケーリング後 (1/k倍)		Rs/Ro
		面積, 抵抗		
	$S_o = 2 \pi r h$ $R_o = \rho t / 2 \pi r h$	$S_s = 2 \pi r h / k$ $R_s = \rho t k / 2 \pi r h$	k	
	$S_o = 2 (a+b) h$ $R_o = \rho t / 2 (a+b) h$	$S_s = 2 (a+b) h / k$ $R_s = \rho t k / 2 (a+b) h$	k	
	$S_o = ab$ $R_o = \rho t / ab$	$S_s = ab / k^2$ $R_s = \rho t k^2 / ab$	k ²	

円柱

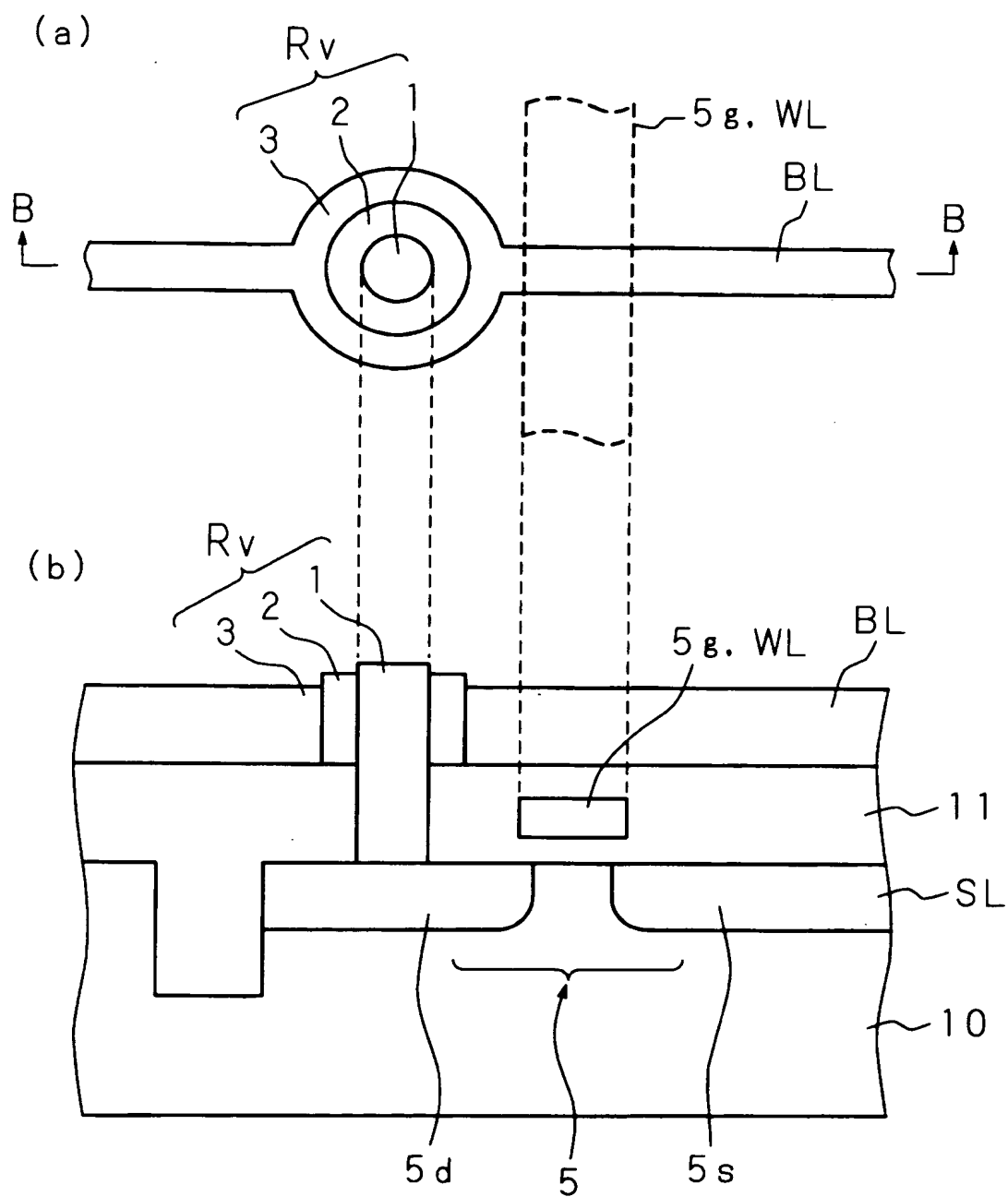
角柱

従来

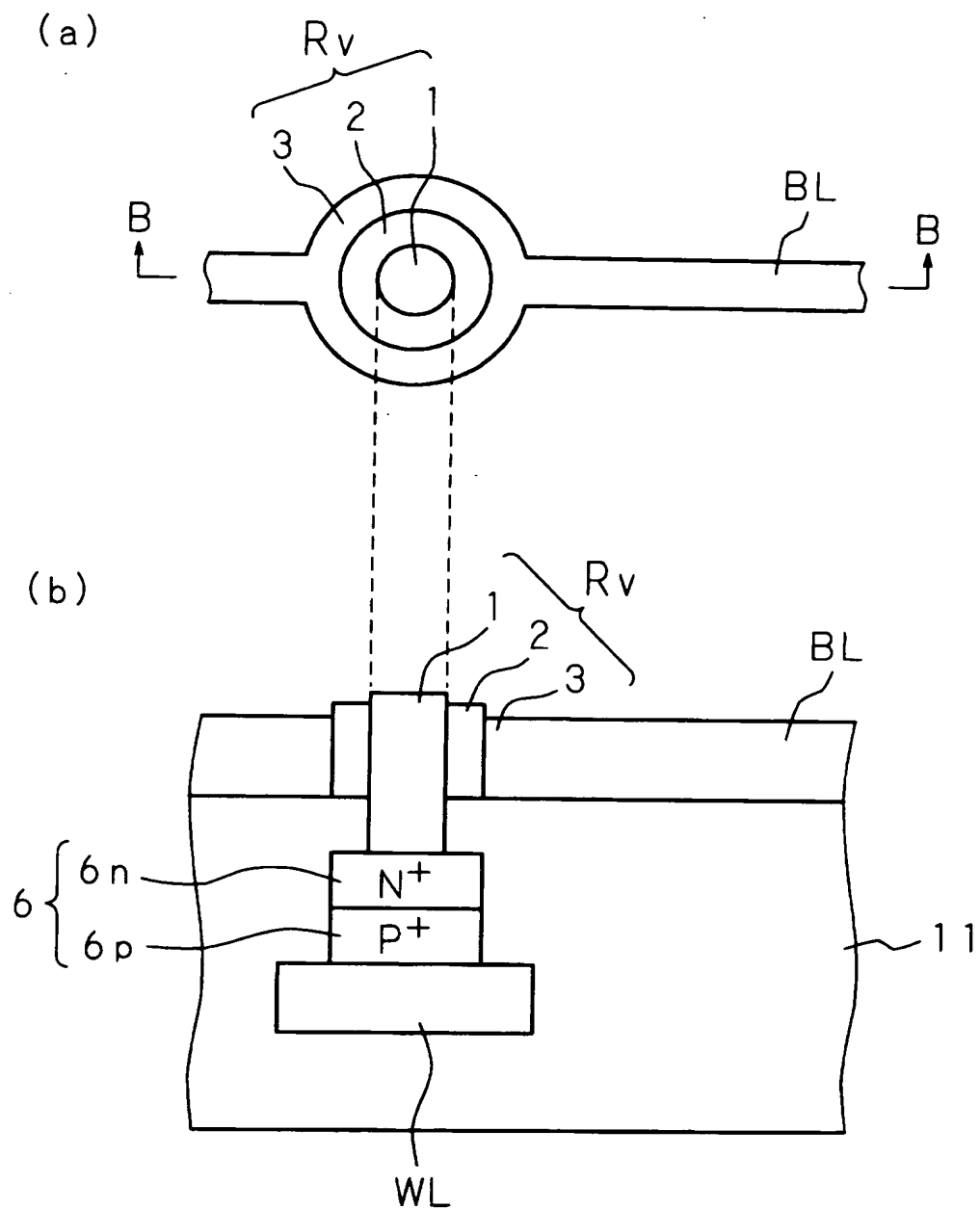
【図3】

(t:スケーリング非適用)				
構造	スケーリング前		スケーリング後 (1/k倍)	
	面積, 抵抗		面積, 抵抗	
円柱		$S_o = 2\pi r h$ $R_o = \rho t / 2\pi r h$	$S_s = 2\pi r h / k$ $R_s = \rho t / 2\pi r h$	1
角柱		$S_o = 2(a+b)h$ $R_o = \rho t / 2(a+b)h$	$S_s = 2(a+b)h / k$ $R_s = \rho t / 2(a+b)h$	1
従来		$S_o = ab$ $R_o = \rho t / ab$	$S_s = ab / k^2$ $R_s = \rho t k / ab$	k

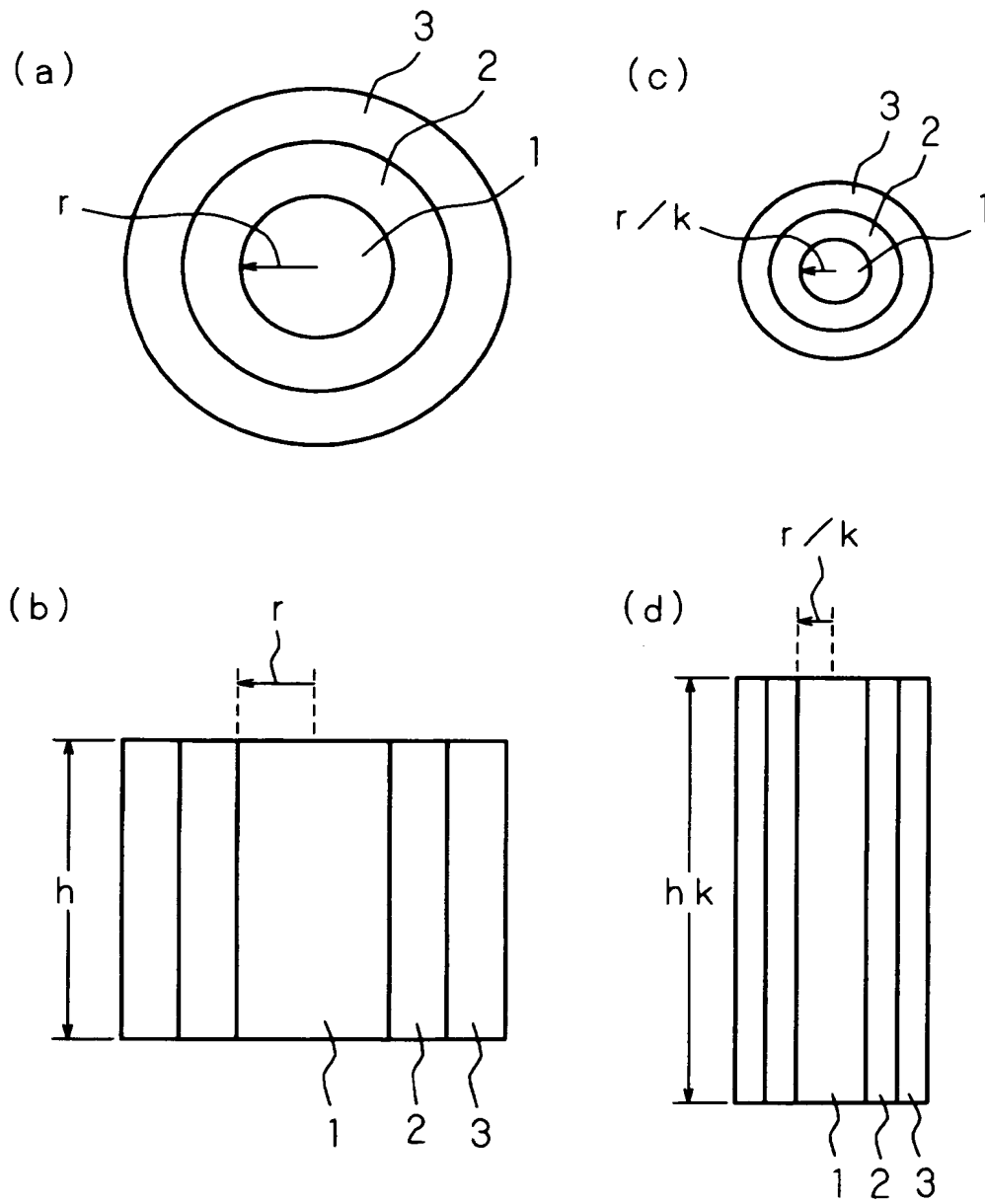
【図 4】



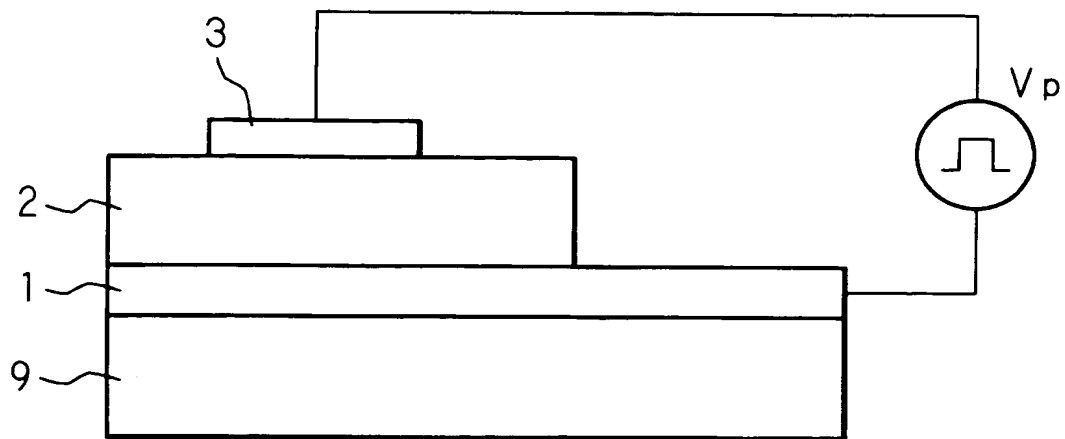
【図 5】



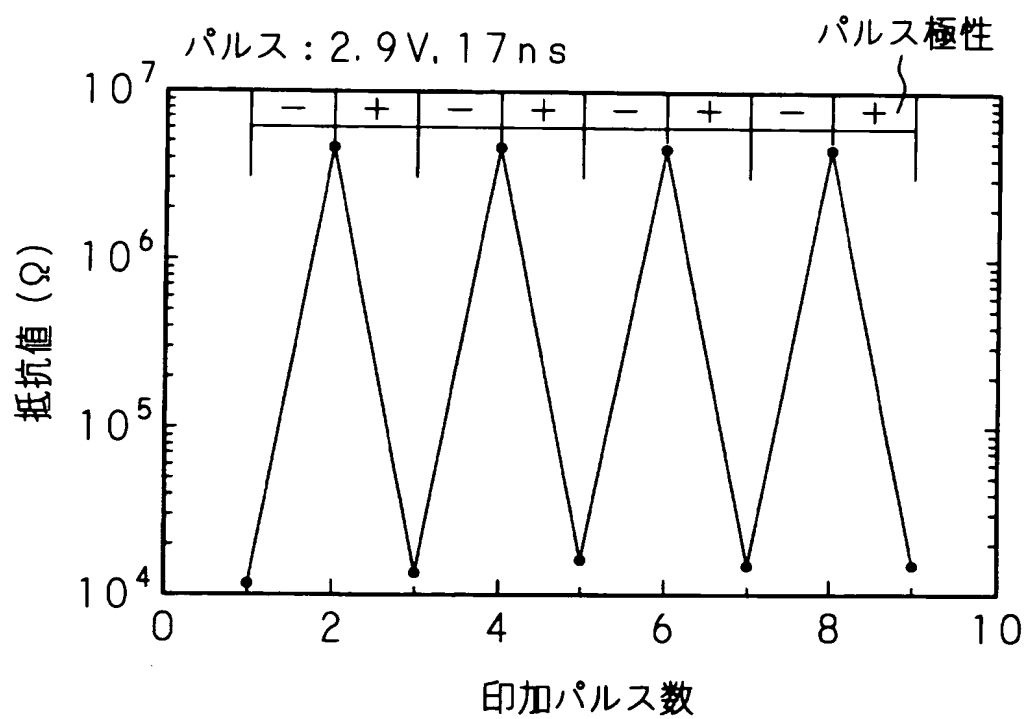
【図 6】



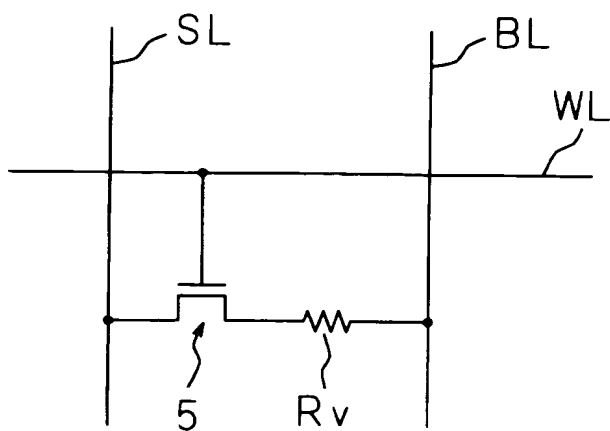
【図 7】



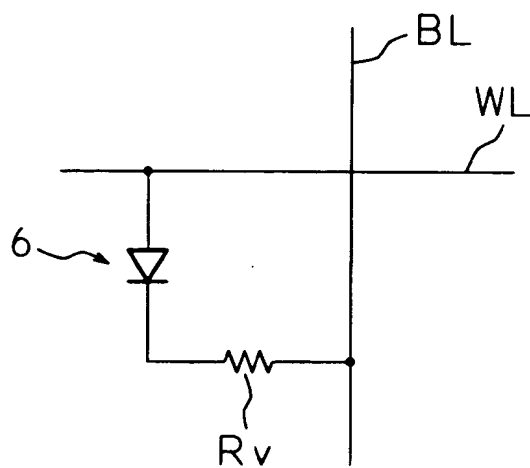
【図 8】



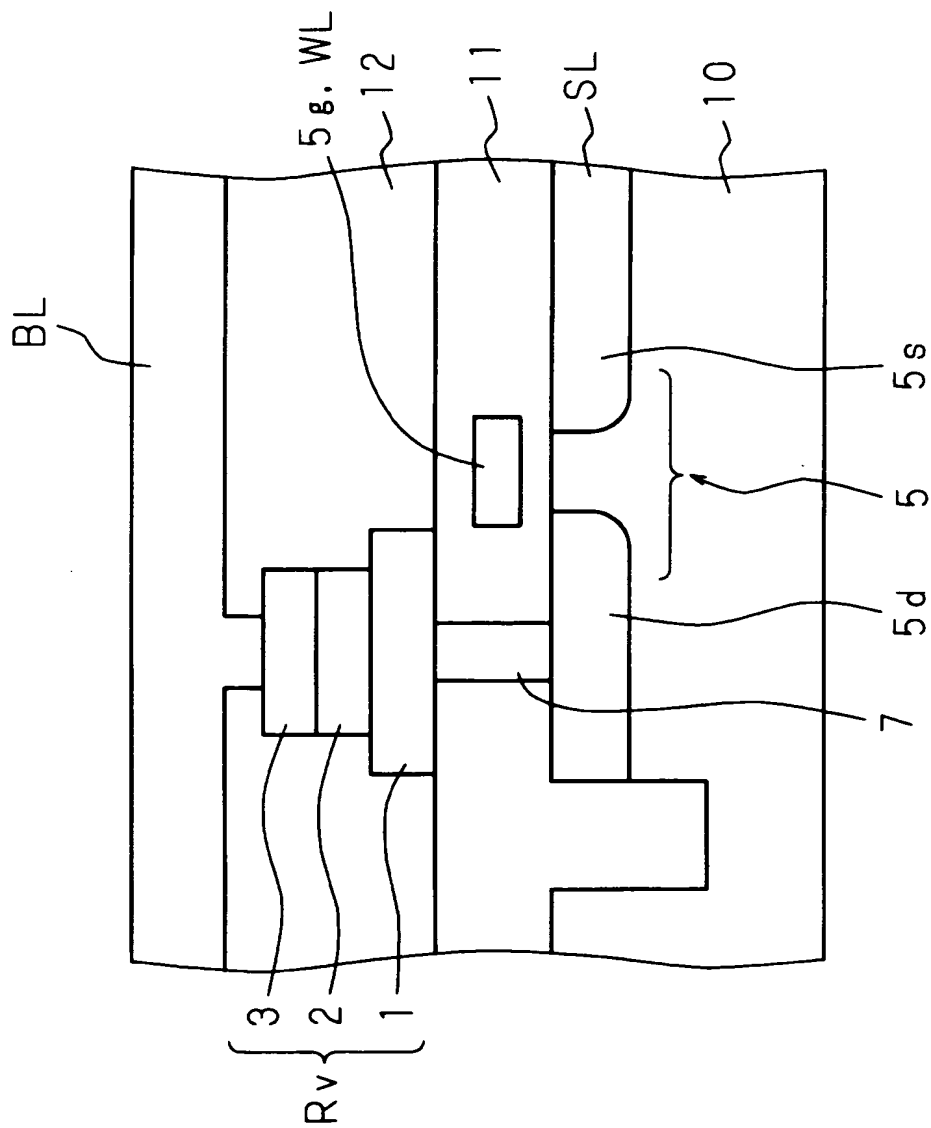
【図 9】



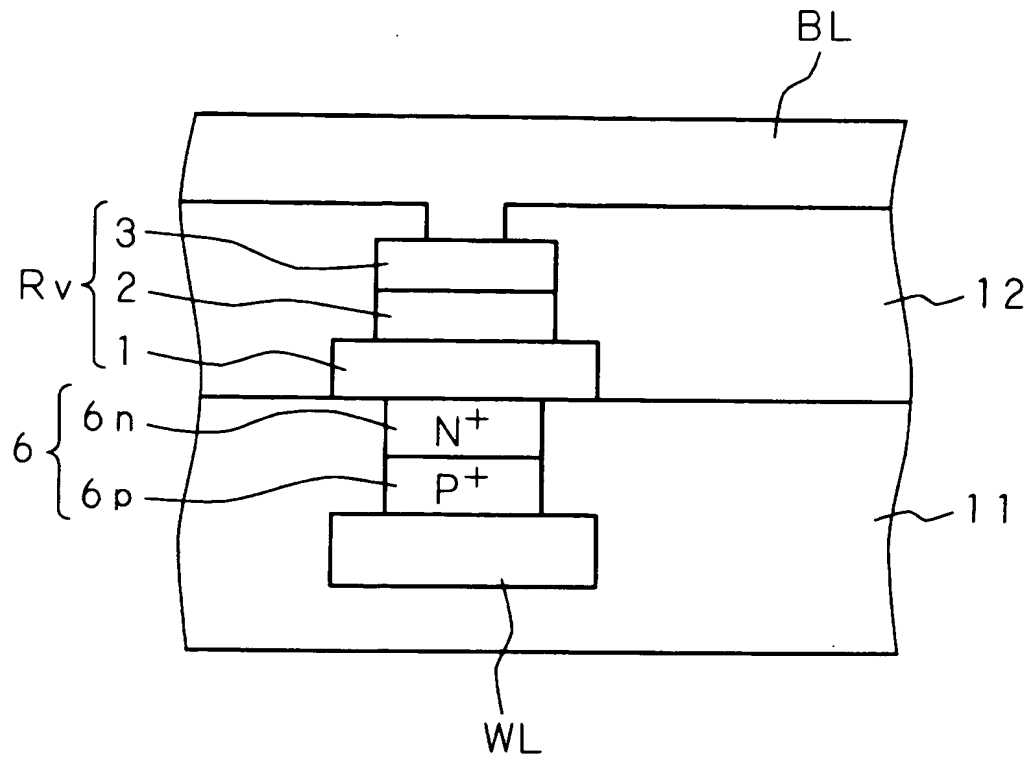
【図 10】



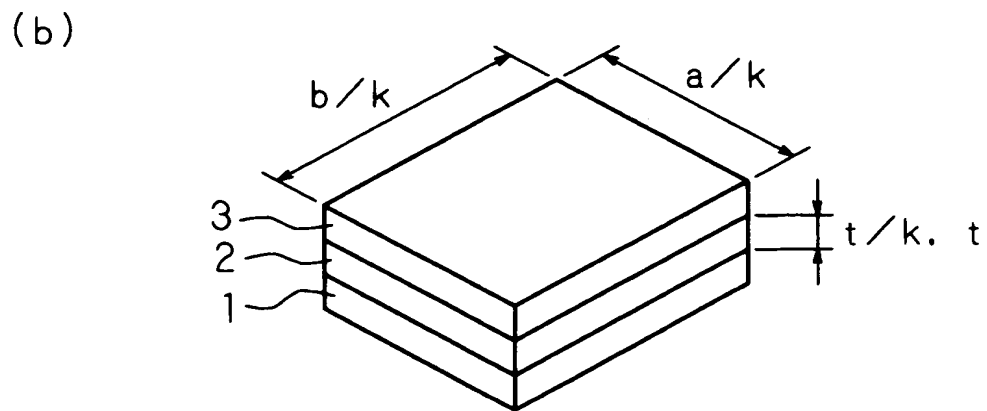
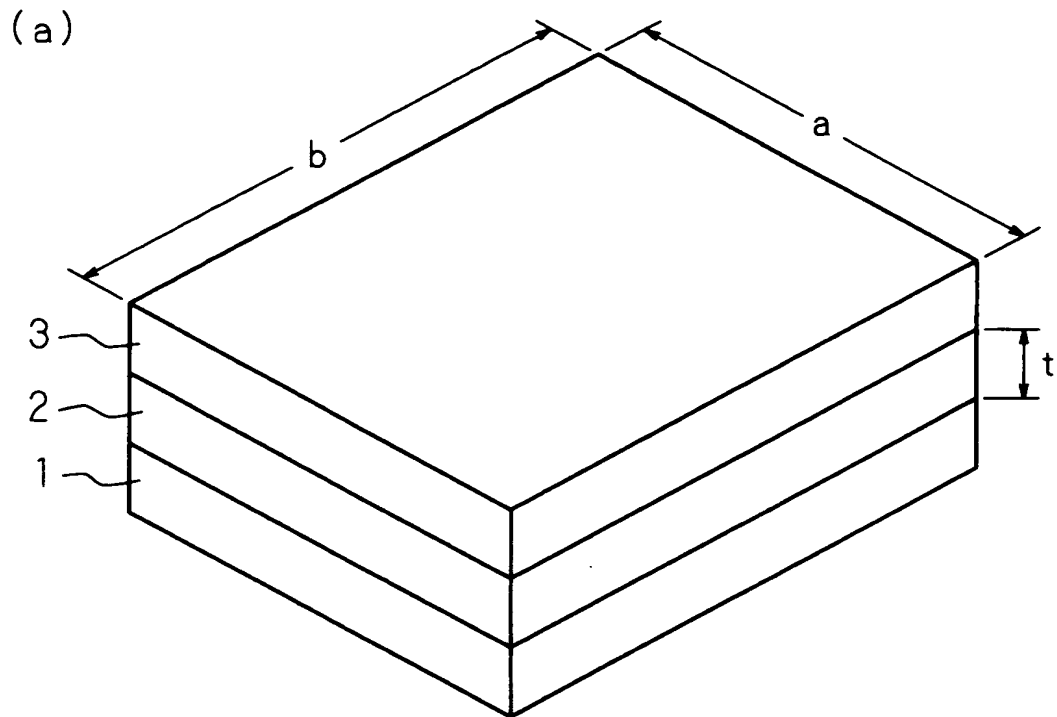
【図 11】



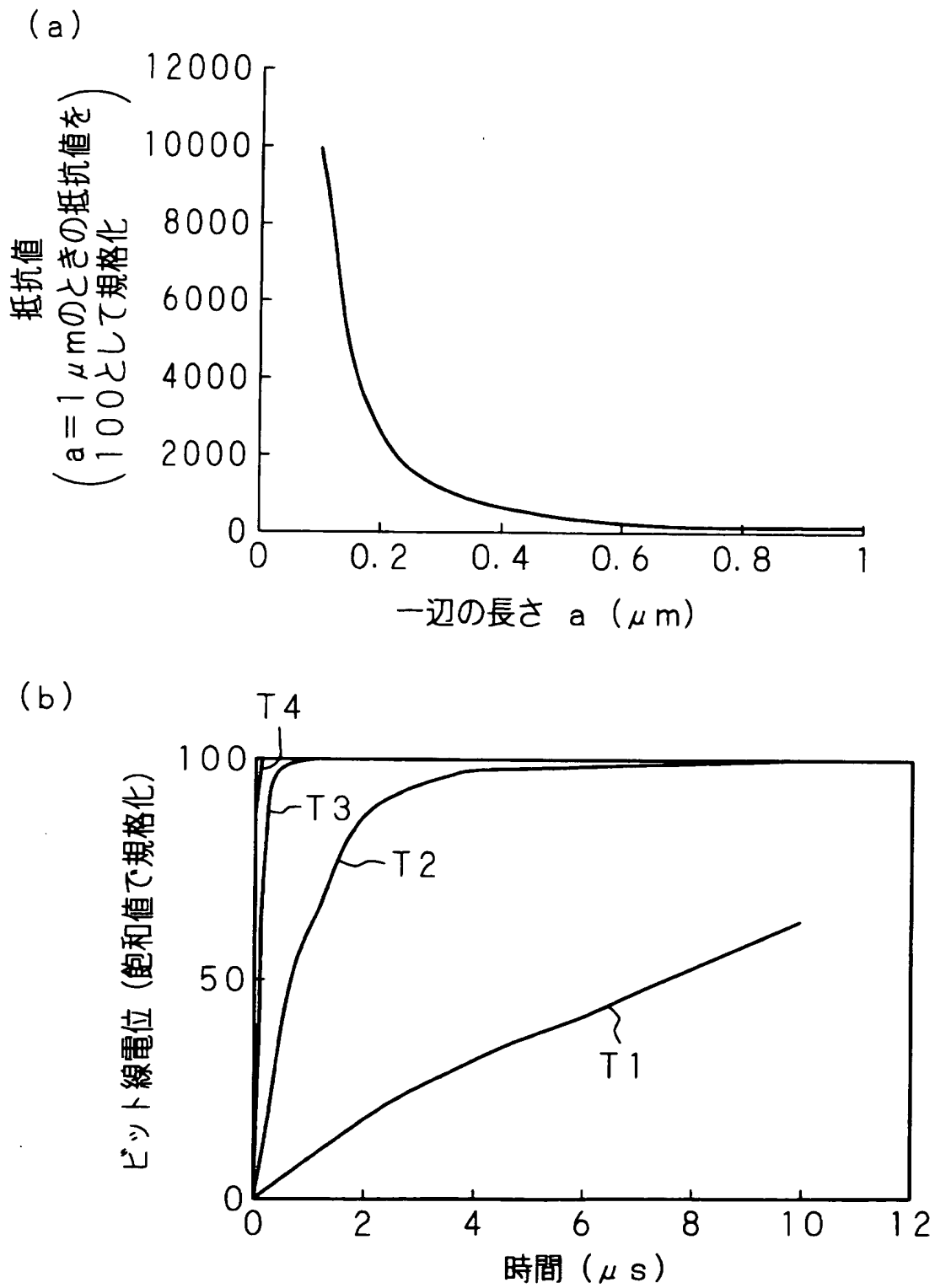
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 スケーリングを施して平面上の面積を縮小した場合に抵抗の増加を抑制できる構造の不揮発可変抵抗素子、該不揮発可変抵抗素子を用いた記憶装置、および不揮発可変抵抗素子のスケーリング方法を提供する。

【解決手段】 基板上に形成された第 1 電極 1 および第 2 電極 3 は、基板の面方向において対向する。第 1 電極 1 を内側電極とし、第 1 電極 1 の外周（周囲）に不揮発可変抵抗体 2 を形成し、不揮発可変抵抗体 2 の外周（周囲）に第 2 電極 3 を外側電極として形成するものとする。

【選択図】 図 1

特願 2 0 0 2 - 3 2 5 5 2 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社